

SEMICONDUCTOR DEVICE

Patent Number: JP10242310
Publication date: 1998-09-11
Inventor(s): KOBAYASHI TAKASHI; KATAYAMA ATSUKO
Applicant(s):: HITACHI LTD
Requested Patent: ☐ JP10242310
Application Number: JP19970238036 19970903
Priority Number (s):
IPC H01L21/8247 ; H01L29/788 ; H01L29/792 ; H01L21/283 ; H01L21/8244 ; H01L27/11
Classification: ; H01L27/115 ; H01L29/78 ; H01L29/786
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain a stable operation and sufficient charge holding characteristic even if the pattern is finer by introducing N in a silicon oxide film so that the max. concn. is within specified range in the film to form a gate insulation film with little leakage current at low temps.

SOLUTION: An n-type impurity-doped polycrystalline Si film 204 is formed on the entire main surface of a p-type semiconductor substrate 201 including a first gate insulation film 203. Next a polycrystalline Si film 205 is formed on the entire main surface of the p-type semiconductor substrate 201 and the Si film 204 and immediately heat-treated in an NH₃ atmosphere to introduce N in this film 205 so that the N atom concn. in the film 205 is limited to a range between approximately 2×10^{20} and 2×10^{21} atoms/cm³. This Si oxide 105 is used as a second gate insulation film 205 of nonvolatile memory elements Qe, thereby improving the charge hold characteristic.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242310

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8247
29/788
29/792
21/283
21/8244

H 0 1 L 29/78 3 7 1
21/283 C
27/10 3 8 1
4 3 4
29/78 3 0 1 G

審査請求 未請求 請求項の数13 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平9-238036
(22) 出願日 平成9年(1997) 9月3日
(31) 優先権主張番号 特願平8-347169
(32) 優先日 平8(1996)12月26日
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 小林 孝
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72) 発明者 片山 敦子
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 半導体装置

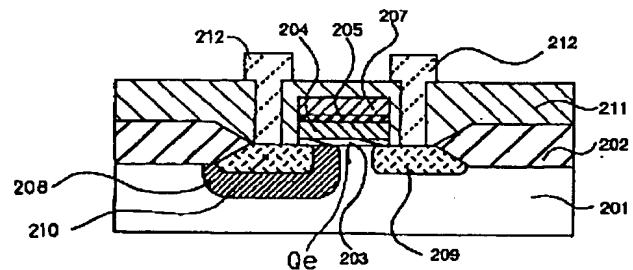
(57) 【要約】

【課題】 不揮発性記憶素子の微細化を図ることができない。また、不揮発性記憶素子のプログラム電圧の低減化を図ることができない。

【解決手段】 不揮発性記憶素子を有する半導体装置であって、前記不揮発性記憶素子の浮遊ゲート電極204と制御ゲート電極207との間の絶縁膜として、概ね 2×10^{20} [atoms/cm³] 以上、 2×10^{21} [atoms/cm³] 以下の窒素原子が導入された酸化珪素膜(SiO₂) 205を用いる。

【効果】 不揮発性記憶素子において、微細化されても、安定な動作と電荷保持特性が得られる。また、プログラム電圧の低減化が図れる。

図 1



【特許請求の範囲】

【請求項1】第1珪素膜とその上層の第2珪素膜との間に酸化珪素膜を有する半導体装置であって、前記酸化珪素膜に窒素が導入され、前記酸化珪素膜中の最大窒素原子濃度が概ね 2×10^{20} [atoms/cm³]以上になっていることを特徴とする半導体装置。

【請求項2】前記酸化珪素膜中の最大窒素原子濃度が概ね 2×10^{21} [atoms/cm³]以下になっていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記酸化珪素膜中の窒素原子濃度は、前記酸化珪素膜の中層部に比べてその上層部及び下層部の方が高くなっていることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】前記酸化珪素膜中の窒素原子濃度は、前記酸化珪素膜の下層部に比べてその上層部の方が低くなっていることを特徴とする請求項1乃至請求項3のうちいずれか1項に記載の半導体装置。

【請求項5】前記酸化珪素膜中の最大水素原子濃度が概ね 5×10^{20} [atoms/cm³]以下になっていることを特徴とする請求項1乃至請求項4のうちいずれか1項に記載の半導体装置。

【請求項6】前記第1珪素膜、第2珪素膜の夫々がn型不純物を含んでいることを特徴とする請求項1乃至請求項5のうちいずれか1項に記載の半導体装置。

【請求項7】前記第1珪素膜、第2珪素膜の夫々が電極であることを特徴とする請求項1乃至請求項6のうちいずれか1項に記載の半導体装置。

【請求項8】前記第1珪素膜、第2珪素膜のうち、いずれか一方がフローティング状態であることを特徴とする請求項1乃至請求項7のうちいずれか1項に記載の半導体装置。

【請求項9】浮遊ゲート電極と制御ゲート電極との間に絶縁膜が設けられた不揮発性記憶素子を有する半導体装置であって、前記浮遊ゲート電極は前記第1珪素膜であり、前記絶縁膜は前記酸化珪素膜であり、前記制御ゲート電極は前記第2珪素膜であることを特徴とする請求項1乃至請求項6のうちいずれか1項に記載の半導体装置。

【請求項10】能動層とゲート電極との間に絶縁膜が設けられたMOSトランジスタを有する半導体装置であって、前記能動層は前記第1珪素膜又は第2珪素膜であり、前記絶縁膜は前記酸化珪素膜であり、前記ゲート電極は前記第2珪素膜又は第1珪素膜であることを特徴とする請求項1乃至請求項5のうちいずれか1項に記載の半導体装置。

【請求項11】下部電極と上部電極との間に誘電体膜が設けられた容量素子を有する半導体装置であって、前記下部電極は前記第1珪素膜であり、前記誘電体膜は前記酸化珪素膜であり、前記上部電極は前記第2珪素膜であることを特徴とする請求項1乃至請求項5のうちいずれ

か1項に記載の半導体装置。

【請求項12】前記酸化珪素膜と前記第2珪素膜との間に、化学量論比で概ね珪素：窒素＝3：4の窒化珪素膜が存在していることを特徴とする請求項1乃至請求項11のうちいずれか1項に記載の半導体装置。

【請求項13】前記第1珪素膜、第2珪素膜の夫々は、多結晶又は非晶質からなることを特徴とする請求項1乃至請求項12のうちいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、浮遊ゲート電極と制御ゲート電極との間に絶縁膜が設けられた不揮発性記憶素子を有する半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体装置として、フラッシュメモリと称される不揮発性半導体記憶装置がある。このフラッシュメモリは、携帯性、耐衝撃性に優れ、オンボードで電気的に一括消去可能なことから、将来の小型携帯情報機器のファイルメモリとして注目を集めている。

【0003】前記フラッシュメモリは、不揮発性記憶素子を1つの記憶単位とするメモリセルを行列状に複数個配置したメモリセルアレイ部を備えている。不揮発性記憶素子は、単結晶珪素からなる半導体基板の主面に構成されている。

【0004】前記不揮発性記憶素子は、主に、チャネル形成領域である半導体基板、第1ゲート絶縁膜、浮遊ゲート電極（フローティングゲート電極とも言う）、第2ゲート絶縁膜、制御ゲート電極（コントロールゲート電極とも言う）、ソース領域及びドレイン領域である一対の半導体領域（不純物拡散領域とも言う）等で構成されている。この不揮発性記憶素子は、半導体基板に対して正の電圧を制御ゲート電極に印加することによって電子を浮遊ゲート電極に注入し、そのしきい値電圧の違いから1 [bit] の情報（“0”又は“1”）を記憶している。なお、前記第1ゲート絶縁膜とは、半導体基板と浮遊ゲート電極との間に設けられたトンネル絶縁膜のことを言う。また、前記第2ゲート絶縁膜とは、浮遊ゲート電極と制御ゲート電極との間に設けられた層間絶縁膜のことを言う。

【0005】前記不揮発性記憶素子において、浮遊ゲート電極、制御ゲート電極の夫々は多結晶珪素膜で形成され、第1ゲート絶縁膜、第2ゲート絶縁膜の夫々は酸化珪素（SiO₂）膜で形成されている。第1ゲート絶縁膜である酸化珪素膜は、単結晶珪素からなる半導体基板の主面に熱酸化処理を施すことにより形成され、第2ゲート絶縁膜である酸化珪素膜は、多結晶珪素膜からなる浮遊ゲート電極の表面に熱酸化処理を施すことにより形成される。

【0006】前記多結晶珪素膜からなる浮遊ゲート電極

の表面に形成された酸化珪素膜は、単結晶珪素からなる半導体基板の主面に形成された酸化珪素膜に比べて絶縁耐圧が低く、電荷保持特性が劣るため、4 [Mbit] 以降のフラッシュメモリでは、単層の酸化珪素膜に代えて、酸化珪素膜、窒化珪素(Si_3N_4)膜、酸化珪素膜の夫々を順次積層した積層膜、所謂ONO(Oxide/Nitride/Oxide)膜で第2ゲート絶縁膜を形成している。これは、酸化珪素膜に換算した膜厚が同一の場合、ONO膜の方が酸化珪素膜に比べてリーク電流が小さいためである。本技術については、例えば、アイ・イー・イー・イー・トランザクション オン エレクトロン デバイス、第38巻、1991年、386頁から391頁 (IEEE Transaction on Electron Devices, 38(1991) pp 386-391)において論じられている。

【0007】

【発明が解決しようとする課題】しかしながら、フラッシュメモリの高集積化に伴い、第2ゲート絶縁膜にONO膜を用いた場合、新たな問題が生じることになった。1つは不揮発性記憶素子の微細化に伴うプロセス温度の低減化である。ONO膜は、通常、多結晶珪素膜からなる浮遊ゲート電極の表面を熱酸化して下層の酸化珪素膜を形成し、その後、下層の酸化珪素膜上に減圧化学気相成長(LPCVD: Low Pressure Chemical Vapor Deposition)法で窒化珪素膜を形成し、その後、窒化珪素膜の表面を熱酸化して上層の酸化珪素膜を形成するこ

$$V_{fg} = C_2 V_{cg} / (C_1 + C_2)$$

... (1)

で与えられる。ここで、 V_{cg} は制御ゲート電極の印加電圧、 C_1 は第1ゲート絶縁膜の容量、 C_2 は第2ゲート絶縁膜の容量である。制御ゲート電極に印加された電圧を効率良く浮遊ゲート電極に伝達し、プログラム電圧を低減するためには、第2ゲート絶縁膜を薄膜化して C_2 を大きくすることが有効である。しかしながら、従来のONO膜では、上下層の酸化珪素膜を5 [nm]以下とすると、浮遊ゲート電極に蓄積された電荷が制御ゲート電極に漏洩する、所謂リテンション不良が顕在化するという問題があった。また、上層の酸化珪素膜を5 [nm]形成しようとした場合、浮遊ゲート電極である下層の多結晶珪素膜の酸化を防止するために10 [nm]程度以上の窒化珪素膜を形成する必要があった。このため、ONO膜の薄膜化は酸化珪素膜換算で15 [nm]程度が限界であり、第1ゲート絶縁膜の薄膜化が困難となりつつある今日、新たな第2ゲート絶縁膜形成プロセスの開発が期待されていた。

【0011】本発明の目的は、半導体装置に搭載される不揮発性記憶素子において、従来のONO膜よりも低温でリーク電流が小さいゲート絶縁膜を形成し、より微細であっても安定な動作と十分な電荷保持特性が得られる技術を提供することにある。また、本発明の他の目的は、半導体装置に搭載される不揮発性記憶素子において、従来のONO膜を用いた場合に比べて薄いゲート絶

とにより形成される。しかし、この窒化珪素膜の酸化は900℃以上の高温を要するため、ソース領域及びドレイン領域を形成した後に第2ゲート絶縁膜を形成する場合には、LSI (Large Scale Integrated Circuit) の微細化に不可欠な浅い接合の形成が困難となり、これがフラッシュメモリの高集積化を阻害する因子となっていた。

【0008】前述した熱酸化法のみによれば、800℃程度の比較的低温でも単層の酸化珪素膜からなる第2ゲート絶縁膜を形成することは可能である。しかし、この方法では、酸化温度を低減するほど浮遊ゲート電極の側壁上端部において酸化珪素膜の膜厚が薄くなり、この部分での電界集中が顕著となってリーク電流が増大するという問題があった。また、熱酸化法に代えてLPCVD法により750℃程度の低温で単層の酸化珪素膜を形成し、これを不揮発性記憶素子の第2ゲート絶縁膜へ適用する技術も提案されている。LPCVD法を用いると熱酸化法に比べ酸化珪素膜のリーク電流低減が可能である。しかし、その効果は充分とはいえず、不揮発性記憶素子への適用は困難なのが現状であった。

【0009】もう1点は、第2ゲート絶縁膜の薄膜化である。不揮発性記憶素子の書換え動作時に浮遊ゲート電極に印加される電圧 V_{fg} は、

【0010】

【数1】

縁膜を形成し、プログラム電圧を低減することが可能な技術を提供することにある。

【0012】

【課題を解決するための手段】前記課題は、酸化珪素膜もしくは酸化珪素膜と窒化珪素膜との積層膜を第2ゲート絶縁膜として用い、前記酸化珪素膜にその膜中での最大原子濃度が概ね 2×10^{20} [atoms/cm³]以上となるように窒素を導入することにより達成される。更に、前記酸化珪素膜中の最大窒素原子濃度が概ね 2×10^{21} [atoms/cm³]以下であればより好適である。あわせて、前記酸化珪素膜中の最大水素原子濃度を 5×10^{20} [atoms/cm³]以下とすれば、より一層の効果が得られる。

【0013】本発明における半導体装置は、第1珪素膜とその上層の第2珪素膜との間に酸化珪素膜を有し、前記酸化珪素膜に窒素が導入され、前記酸化珪素膜中の最大窒素原子濃度が概ね 2×10^{20} [atoms/cm³]以上、好ましくは 2×10^{21} [atoms/cm³]以下になっていることを特徴としている。本半導体装置が不揮発性記憶素子を有する場合、第1珪素膜が浮遊ゲート電極、酸化珪素膜が第2ゲート絶縁膜、制御ゲート電極が第2珪素膜に該当する。この場合、第1珪素膜、第2珪素膜の夫々にはn型不純物、例えば磷(P)が導入されているのが一般的である。酸化珪素膜を第2ゲート絶縁膜として用い

ることで、従来のONO膜では不可能であった15[nm]以下の薄膜化が可能となる。

【0014】前記酸化珪素膜の形成は、例えば、モノシラン(SiH_4)と亜酸化二窒素(N_2O)を原料ガスとするLPCVD法により行なう。本方法によれば、700[°C]から800[°C]といった低温で酸化珪素膜の形成が可能である。しかしながら、前述したように、LPCVD法により形成した酸化珪素膜を直ちに不揮発性記憶素子の第2ゲート絶縁膜として用いることは困難である。これは、酸化珪素膜のリーク電流が大きいこと、浮遊ゲート電極に電子を注入した後、電源を遮断して放置状態となった際、浮遊ゲート電極中に蓄積された電子が制御ゲート電極へと漏洩してしまい、電荷保持(リテンション)不良が生じるためである。また、リーク電流が大きいこと、浮遊ゲート電極に電子を注入し、不揮発性記憶素子のしきい値を上昇させようとした際、注入した電子が制御ゲート電極側へ抜けてしまい、十分にしきい値が上がらず、書き込みと消去のしきい値ウィンドウが確保できないといった問題も生じる。我々の研究の結果、酸化珪素膜のリーク電流は、酸化珪素膜中に存在する E' センタと呼ばれる欠陥に起因することが明らかとなった。

【0015】そこで本発明では、酸化珪素膜を NH_3 雰囲気中で熱処理し、 E' センタを窒素原子で終端することによりリーク電流の低減を図った。酸化珪素膜のリーク電流は、プロセス条件に関係なく、酸化珪素膜中の窒素原子濃度で一義的に決まる。リーク電流を低減し、リテンション不良を抑制し、更にしきい値ウィンドウを確保するためには、酸化珪素膜中の最大窒素原子濃度を概ね 2×10^{20} [atoms/cm³] 以上、好ましくは 2×10^{21} [atoms/cm³] 以下とする必要がある。この際、窒素原子は酸化珪素膜の中層部に比べてその上層部及び下層部に多く存在する。前述した窒素原子濃度を得るためには、 NH_3 雰囲気中でのアニールを750[°C]から900[°C]、好ましくは800[°C]から850[°C]で行なえばよい。従って、従来のONO膜に比べゲート絶縁膜形成プロセスを低温化することが可能である。

【0016】さらに、前記酸化珪素膜中の最大水素原子濃度を 5×10^{20} [atoms/cm³] 以下とすれば、本発明はより一層好適である。これは、酸化珪素膜中に存在する水素原子が電子トラップを形成するためである。水素原子が存在すると、書換えを行なった際、第2ゲート絶縁膜への電子蓄積が生じ、その後の放置状態でゲート絶縁膜へ蓄積された電子が制御ゲート電極へ放出される結果、リテンション不良が生じてしまう。前述した水素原子の低減には、 NH_3 雰囲気中でのアニール後に、例えば800[°C]から900[°C]程度、好ましくは850[°C]で短時間のウェット酸化を行なえばよい。

【0017】さらに、本発明は、酸化珪素膜中の窒素原子濃度を、酸化珪素膜の下層部に比べてその上層部の方

が低くなるように制御すると好適である。このような窒素原子分布は前述したウェット酸化を行なうことにより達成される。

【0018】なお、本発明は、不揮発性記憶素子を有する半導体装置に限定されるものではない。例えば、本発明は、前記第1珪素膜、第2珪素膜のうち、一方を能動層とし、他方をゲート電極とし、前記酸化珪素膜をゲート絶縁膜(前記能動層とゲート電極との間に設けられた絶縁膜)とするMOS(Metal Oxide Semiconductor) トランジスタを有する半導体装置に適用しても効果が得られる。前記MOSトランジスタとしては、SRAM(Static Random Access Memory) のメモリセルに用いられる負荷用のMOSトランジスタや、液晶ディスプレイに用いられる駆動用のMOSトランジスタが挙げられる。

【0019】また、本発明は、前記第1珪素膜を下部電極とし、前記第2珪素膜を上部電極とし、前記酸化珪素膜を誘電体膜とする容量素子を有する半導体装置に適用しても効果が得られる。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0021】なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0022】(実施形態1) 本実施形態では、不揮発性記憶素子を有する半導体装置として、NOR型のフラッシュメモリに本発明を適用した例について説明する。

【0023】図1は、NOR型のフラッシュメモリの要部断面図である。

【0024】本実施形態のフラッシュメモリは、図1に示す不揮発性記憶素子 Qe を1つの記憶単位とするメモリセルを行列状に複数個配置したメモリセルアレイ部を備えている。

【0025】前記フラッシュメモリは、例えば、単結晶珪素からなる面方位(100)のp型半導体基板201を主体に構成されている。p型半導体基板201の主面の非活性領域にはフィールド絶縁膜202が形成され、このフィールド絶縁膜202で周囲を規定されたp型半導体基板1の主面の活性領域には不揮発性記憶素子 Qe が構成されている。

【0026】前記不揮発性記憶素子 Qe は、主に、チャネル形成領域として使用されるp型半導体基板201、第1ゲート絶縁膜203、浮遊ゲート電極204、第2ゲート絶縁膜205、制御ゲート電極207、パンチスルーストップ領域208、ソース領域209及びドレイン領域210で構成されている。なお、前記第1ゲート絶縁膜203とは、p型半導体基板201と浮遊ゲート電極204との間に設けられたトンネル絶縁膜のことを言う。また、第2ゲート絶縁膜205とは、浮遊ゲート

絶縁膜204と制御ゲート電極207との間に設けられた層間絶縁膜のことを言う。

【0027】前記第1ゲート絶縁膜203は、p型半導体基板201の主面に熱酸化処理を施して形成された酸化珪素膜で形成されている。前記浮遊ゲート電極204は、抵抗値を低減する目的としてn型不純物が導入された多結晶珪素膜で形成されている。前記第2ゲート絶縁膜205は、 SiH_4 と N_2O を原料ガスとするLPCVD法を用いて形成された酸化珪素膜で形成されている。この酸化珪素膜にはリーク電流を低減する目的として窒素が導入されている。前記制御ゲート電極207は、抵抗値を低減する目的としてn型不純物が導入された多結晶珪素膜で形成されている。

【0028】前記パンチスルーストップ領域208は、p型半導体基板201の主面に導入されたp型不純物からなるp型半導体領域で形成されている。前記ソース領域209、ドレイン領域210の夫々は、p型半導体基板201の主面に導入されたn型不純物からなる一対のn型半導体領域の夫々で形成されている。

【0029】前記ソース領域209には、層間絶縁膜211に形成された接続孔を通して電極212が電気的に接続されている。前記ドレイン領域210には、層間絶縁膜211に形成された接続孔を通して電極212が電気的に接続されている。

【0030】次に、前記不揮発性記憶素子Qeを1つの記憶単位とするメモリセルの製造方法について図2及び図3(製造方法を説明するための断面図)を用いて説明する。まず、単結晶珪素からなる面方位(100)のp型半導体基板201を用意し、その後、p型半導体基板201の主面の非活性領域に周知の選択酸化法を用いて酸化珪素膜からなるフィールド絶縁膜202を形成する。フィールド絶縁膜202は例えば500[nm]程度の膜厚で形成する。ここまでの工程を図2(a)に示す。

【0031】次に、前記p型半導体基板201の主面の活性領域に熱酸化処理を施し、酸化珪素膜からなる第1ゲート絶縁膜203を形成する。第1ゲート絶縁膜203は例えば10[nm]程度の膜厚で形成する。

【0032】次に、前記第1ゲート絶縁膜203上を含むp型半導体基板201の主面上の全面に、n型不純物(例えば燐)が導入された多結晶珪素膜204を形成する。多結晶珪素膜204は例えば200[nm]程度の膜厚で形成する。

【0033】次に、前記多結晶珪素膜204にパターンニングを施す。パターンニングはフォトリソグラフィ技術及びドライエッチング技術を用いて行う。ここまでの工程を図2(b)に示す。

【0034】次に、前記多結晶珪素膜204上を含むp型半導体基板201の主面上の全面に酸化珪素膜205を例えば12[nm]の膜厚で形成する。酸化珪素膜205の形成は SiH_4 と N_2O を原料ガスとするLPC

VD法で行う。この時の形成温度は750[°C]である。

【0035】次に、前記工程を行った直後に NH_3 雰囲気中で熱処理を施し、前記酸化珪素膜205に窒素を導入する。ここまでの工程を図2(c)に示す。

【0036】次に、前記酸化珪素膜205上の全面に、n型不純物(例えば燐)が導入された多結晶珪素膜207を形成する。多結晶珪素膜207は例えば200[nm]程度の膜厚で形成する。ここまでの工程を図3(d)に示す。

【0037】次に、前記多結晶珪素膜207、酸化珪素膜205、多結晶珪素膜204の夫々にゲート長方向の幅を規定するパターンニングを順次施し、n型不純物が導入された多結晶珪素膜207からなる制御ゲート電極207、窒素が導入された酸化珪素膜205からなる第2ゲート絶縁膜205、n型不純物が導入された多結晶珪素膜204からなる浮遊ゲート電極204を形成する。これらのパターンニングは、フォトリソグラフィ技術とドライエッチング技術を用いて行う。なお、この工程において、図示していないが、制御ゲート電極207に一体化されたワード線も形成される。ここまでの工程を図3(e)に示す。

【0038】次に、前記p型半導体基板201の主面の活性領域にp型不純物(例えばボロン)をイオン打込み法で選択的に導入し、n型半導体領域からなるパンチスルーストップ領域208を形成する。

【0039】次に、前記p型半導体基板201の主面の活性領域にn型不純物(例えば砒素)をイオン打込み法で選択的に導入し、一対のn型半導体領域の夫々からなるソース領域209及びドレイン領域210を形成する。この工程において、不揮発性記憶素子Qeが形成される。ここまでの工程を図3(f)に示す。

【0040】次に、前記制御ゲート電極207上を含むp型半導体基板201の主面上の全面に層間絶縁膜211を形成し、その後、前記層間絶縁膜211に、ソース領域209及びドレイン領域210に至る接続孔を形成する。

【0041】次に、前記接続孔内を含む層間絶縁膜211上の全面に金属膜を形成し、その後、前記金属膜にパターンニングを施して電極212を形成することにより、図1に示す不揮発性記憶素子Qeを1つの記憶単位とするメモリセルがほぼ完成する。

【0042】次に、前述の製造方法で形成された不揮発性記憶素子Qeの特性について説明する。なお、ここでは比較のため、 NH_3 雰囲気中での熱処理温度及び時間を様々に変えた試料を作成し、酸化珪素膜(第2ゲート絶縁膜)205中の窒素原子濃度とリーク電流及び不揮発性記憶素子Qeの特性を比較検討した。

【0043】図4及び図5は、酸化珪素膜205の電流-電圧特性を示したものである。図4は NH_3 雰囲気中

での熱処理温度を850 [°C] とし、時間を変化させた場合の結果であり、図5はNH₃ 雰囲気中での熱処理時間を10分とし、温度を変化させた場合の結果である。膜厚はいずれも12 [nm] とした。図4及び図5の結果より、NH₃ 雰囲気中での熱処理時間及び温度が大となるにつれて、酸化珪素膜205のリーク電流は減少することが明らかとなった。

【0044】 前述したリーク電流の減少は、酸化珪素膜205中の窒素原子濃度と強い相関がある。図6は、850 [°C] のNH₃ 雰囲気中で熱処理した試料の制御ゲート電極(多結晶珪素膜207)/第2ゲート絶縁膜(酸化珪素膜205)/浮遊ゲート電極(多結晶珪素膜204)の部分の窒素原子分布を二次イオン質量分析計(SIMS)により測定した結果である。NH₃ 雰囲気中での熱処理により、酸化珪素膜205中に 2×10^{20} [atoms/cm³] 以上の窒素原子が導入されていることがわかる。この酸化珪素膜205中の窒素原子濃度は、酸化珪素膜205の中層部に比べて上層部及び下層部の方が高くなっている。また、窒素原子濃度は、NH₃ 雰囲気での熱処理時間の増大とともに高くなっている。

【0045】 図7は、NH₃ 雰囲気中において、前述した酸化珪素膜205を様々な温度及び時間で熱処理した際の酸化珪素膜205中の窒素原子濃度とリーク電流の関係を示したものである。ここで、酸化珪素膜205中の窒素原子濃度は、酸化珪素膜205の下層部での値を用いた。リーク電流は、浮遊ゲート電極204に電子を注入する際に第2ゲート絶縁膜205に印加される最大の電界7.5 MV/cmで定義した。本結果より、熱処理条件に関係なく酸化珪素膜205のリーク電流は窒素原子濃度で一義的に決まり、窒素原子濃度の増大とともに減少していることがわかる。書込み/消去時のしきい値ウィンドウを確保し、リテンション特性を維持するためには、第2ゲート絶縁膜205のリーク電流を 10^{-4} 以下とする必要がある。図7より、この電流レベルとするためには、酸化珪素膜205中の窒素原子濃度を 2×10^{20} [atoms/cm³] 以上としなくてはならない。

【0046】 なお、ゲート長が0.5 [μm] 以下の微細な不揮発性記憶素子Qeを作成するためには、プロセス温度の上限を900 [°C] 以下とする必要がある。酸化珪素膜205のNH₃ 雰囲気中での熱処理温度を900 [°C] とし、熱処理時間を変えた試料について、前述したSIMS分析により酸化珪素膜205中の窒素原子濃度を測定したところ、ほぼ 2×10^{21} [atoms/cm³] で飽和に達し、これ以上窒素原子を導入することは困難であった。従って、酸化珪素膜205中の窒素原子濃度は、概ね 2×10^{20} [atoms/cm³] 以上、好ましくは 2×10^{21} [atoms/cm³] 以下の範囲に限定される。

【0047】 図8は、酸化珪素膜205の窒素原子導入を850 [°C] のNH₃ 雰囲気中で10分間行い、不揮発性記憶素子Qeの浮遊ゲート電極204に電子を注入

し、その後、250 [°C] の窒素雰囲気中でベーク処理した際の、しきい値電圧の変動を示したものである。同図には、第2ゲート絶縁膜205に従来技術の熱酸化珪素膜及びONO膜における結果も合わせて示した。膜厚はいずれも12 [nm] である。

【0048】 NH₃ 雰囲気中で熱処理した酸化珪素膜205は、従来の熱酸化珪素膜やONO膜に比べてしきい値電圧の低下が小さく、不揮発性記憶素子Qeの電荷保持特性が向上することがわかる。これは、前述したように、第2ゲート絶縁膜205の膜厚を12 [nm] と薄膜化した際、酸化珪素205のリーク電流が熱酸化珪素膜やONO膜に比べ減少したためである。なお、前述した酸化珪素膜205中の窒素原子濃度が概ね 2×10^{20} [atoms/cm³] 以上、好ましくは 2×10^{21} [atoms/cm³] 以下の範囲にあれば、電荷保持特性はほぼ同一であった。

【0049】 本実施形態によれば、概ね 2×10^{20} [atoms/cm³] 以上、好ましくは 2×10^{21} [atoms/cm³] 以下の窒素原子を含有した酸化珪素膜205を不揮発性記憶素子Qeの第2ゲート絶縁膜205として用いることにより、電荷保持特性の向上が図れるという効果がある。

【0050】 (実施形態2) 本実施形態では、膜中の最大窒素原子濃度が概ね 2×10^{20} [atoms/cm³] 以上、好ましくは 2×10^{21} [atoms/cm³] 以下であり、その窒素分布を最適化し、かつ膜中の水素原子濃度を低減した酸化珪素膜を、不揮発性記憶素子の第2ゲート絶縁膜として用いた例について説明する。

【0051】 まず、不揮発性記憶素子を1つの記憶単位とするメモリスルの製造方法について図9及び図10(製造方法を説明するための断面図)を用いて説明する。

【0052】 単結晶珪素からなる面方位(100)のp型半導体基板201を用意し、その後、p型半導体基板201の主面の非活性領域に周知の選択酸化法を用いて酸化珪素膜からなるフィールド絶縁膜202を形成する。フィールド絶縁膜202は例えば500 [nm] 程度の膜厚で形成する。ここまでの工程を図9(a)に示す。次に、前記p型半導体基板201の主面の活性領域に熱酸化処理を施し、酸化珪素膜からなる第1ゲート絶縁膜203を形成する。第1ゲート絶縁膜203は例えば10 [nm] 程度の膜厚で形成する。

【0053】 次に、前記第1ゲート絶縁膜203上を含むp型半導体基板201の主面上の全面に、n型不純物(例えば燐)が導入された多結晶珪素膜204を形成する。多結晶珪素膜204は例えば200 [nm] 程度の膜厚で形成する。

【0054】 次に、前記多結晶珪素膜204にパターンニングを施す。パターンニングはフォトリソグラフィ技術及びドライエッチング技術を用いて行う。ここまでの工程を図9(b)に示す。

【0055】次に、前記多結晶珪素膜204上を含むp型半導体基板201の主面上の全面に酸化珪素膜205を例えば12[nm]の膜厚で形成する。酸化珪素膜205の形成は SiH_4 と N_2O を原料ガスとするLPCVD法で行う。この時の形成温度は750[°C]である。

【0056】次に、前記工程を行った直後に NH_3 雰囲気中で熱処理を施し、前記酸化珪素膜205に概ね 6×10^{20} [atoms/cm³]の窒素原子を導入する。

【0057】次に、前記酸化珪素膜205に825[°C]の温度雰囲気中でウェット酸化処理を施す。ここまでの工程を図9(c)に示す。

【0058】次に、前記酸化珪素膜205上の全面に、n型不純物(例えば磷)が導入された多結晶珪素膜207を形成する。多結晶珪素膜207は例えば200[nm]程度の膜厚で形成する。ここまでの工程を図10(d)に示す。

【0059】次に、前記多結晶珪素膜207、酸化珪素膜205、多結晶珪素膜204の夫々にゲート長方向の幅を規定するパターンニングを順次施し、n型不純物が導入された多結晶珪素膜207からなる制御ゲート電極207、窒素が導入された酸化珪素膜205からなる第2ゲート絶縁膜205、n型不純物が導入された多結晶珪素膜204からなる浮遊ゲート電極204を形成する。これらのパターンニングは、フォトリソグラフィ技術とドライエッチング技術を用いて行う。なお、この工程において、図示していないが、制御ゲート電極207に一体化されたワード線も形成される。ここまでの工程を図10(e)に示す。

【0060】次に、前記p型半導体基板201の主面の活性領域にp型不純物(例えばボロン)をイオン打込み法で選択的に導入し、p型半導体領域からなるパンチスルーストップ領域208を形成する。

【0061】次に、前記p型半導体基板201の主面の活性領域にn型不純物(例えば砒素)をイオン打込み法で選択的に導入し、一対のn型半導体領域の夫々からなるソース領域209及びドレイン領域210を形成する。この工程において、不揮発性記憶素子Qeが形成される。ここまでの工程を図10(f)に示す。

【0062】次に、前記制御ゲート電極207上を含むp型半導体基板201の主面上の全面に層間絶縁膜211を形成し、その後、前記層間絶縁膜211に、ソース領域209及びドレイン領域210に至る接続孔を形成する。

【0063】次に、前記接続孔内を含む層間絶縁膜211上の全面に金属膜を形成し、その後、前記金属膜にパターンニングを施して電極212を形成することにより、図10(g)に示すように、不揮発性記憶素子Qeを1つの記憶単位とするメモリセルがほぼ完成する。

【0064】本実施形態の不揮発性記憶素子Qeは、前

述の実施形態1に比べて更に長時間の電荷保持が可能であった。この理由を調べるため、二次イオン質量分析計を用いて、前記ウェット酸化前後の酸化珪素膜205中の原子濃度分布を観察した。図11はウェット酸化前、図12はウェット酸化後の酸化珪素膜205中の窒素及び水素濃度分布である。両図の比較から、ウェット酸化により、酸化珪素膜205中の水素原子濃度が 2×10^{21} [atoms/cm³]から 2×10^{20} [atoms/cm³]へと1桁減少しているのが明らかとなった。また、酸化珪素膜205の上層部(制御ゲート電極207側)での窒素濃度の減少も確認された。本分析結果より、酸化珪素膜205中の水素原子減少による電子トラップの低減と、酸化珪素膜205の上層部(制御ゲート電極207側)での窒素濃度の減少によるホール電流の抑制が不揮発性記憶素子Qeの電荷保持特性の向上を実現したと考える。

【0065】なお、本実施形態では酸化珪素膜205中の窒素原子濃度を 6×10^{20} [atoms/cm³]としたが、概ね 2×10^{20} [atoms/cm³]以上、好ましくは 2×10^{21} [atoms/cm³]以下であれば電荷保持特性の向上が観測された。また、酸化珪素膜205中の水素原子濃度が 5×10^{20} [atoms/cm³]以下であれば同様に電荷保持特性が向上した。

【0066】なお、酸化珪素膜205中の水素原子濃度を 5×10^{20} [atoms/cm³]以下とすることにより、不揮発性記憶素子Qeの書換えに伴うしきい値変動を抑制することが可能である。図20は、ウェット酸化による水素原子低減前後での、書換えに伴うしきい値変動量を示したものである。この際の窒素原子濃度は 6×10^{20} [atoms/cm³]である。しきい値変動量は、ウェット酸化前(水素原子濃度 3×10^{21} [atoms/cm³])は、0.65Vであるのに対し、ウェット酸化後(水素原子濃度 3×10^{20} [atoms/cm³])は、0.15V程度に抑制されている。これはウェット酸化で水素原子を低減することにより、酸化珪素膜205中の電子トラップが減少したためである。

【0067】なお、本実施形態では酸化珪素膜205中の窒素原子濃度を 6×10^{20} [atoms/cm³]としたが、概ね 2×10^{20} [atoms/cm³]以上、好ましくは 2×10^{21} [atoms/cm³]以下であり、かつ水素原子濃度が 5×10^{20} [atoms/cm³]以下であれば、書換えに伴うしきい値変動の抑制が図れる。

【0068】本実施形態によれば、概ね 2×10^{20} [atoms/cm³]以上、好ましくは 2×10^{21} [atoms/cm³]以下の窒素原子を含有した酸化珪素膜205を、不揮発性記憶素子Qeの第2ゲート絶縁膜205として用い、さらに、その窒素原子濃度を酸化珪素膜205の下層部に比べてその上層部を高くし、また、酸化珪素膜205中の最大水素原子濃度を 5×10^{20} [atoms/cm³]以下とすることにより、不揮発性記憶素子Qeの電荷保持特性の向上が図れるという効果がある。また、不揮発性記

憶素子Qeの書換えに伴うしきい値変動が抑制できるといふ効果がある。

【0069】(実施形態3)本実施形態では、膜中の最大窒素原子濃度が概ね 2×10^{20} [atoms/cm³]以上、好ましくは 2×10^{21} [atoms/cm³]以下である酸化珪素膜を、不揮発性記憶素子の第2ゲート絶縁膜として用い、さらにその上部に窒化珪素(Si₃N₄)膜を積層した例について説明する。

【0070】まず、不揮発性記憶素子を1つの記憶単位とするメモリセルの製造方法について、図13及び図14(製造方法を説明するための断面図)を用いて説明する。

【0071】単結晶珪素からなる面方位(100)のp型半導体基板201を用意し、その後、p型半導体基板201の主面の非活性領域に周知の選択酸化法を用いて酸化珪素膜からなるフィールド絶縁膜202を形成する。フィールド絶縁膜202は例えば500[nm]程度の膜厚で形成する。ここまでの工程を図13(a)に示す。

【0072】次に、前記p型半導体基板201の主面の活性領域に熱酸化処理を施し、酸化珪素膜からなる第1ゲート絶縁膜203を形成する。第1ゲート絶縁膜203は例えば10[nm]程度の膜厚で形成する。

【0073】次に、前記第1ゲート絶縁膜203上を含むp型半導体基板201の主面上の全面に、n型不純物(例えば燐)が導入された多結晶珪素膜204を形成する。多結晶珪素膜204は例えば200[nm]程度の膜厚で形成する。

【0074】次に、前記多結晶珪素膜204にパターンニングを施す。パターンニングはフォトリソグラフィ技術及びドライエッチング技術を用いて行なう。ここまでの工程を図13(b)に示す。

【0075】次に、前記多結晶珪素膜204上を含むp型半導体基板201の主面上の全面に酸化珪素膜205を例えば12[nm]の膜厚で形成する。酸化珪素膜205の形成はSiH₄とN₂Oを原料ガスとするLPCVD法で行う。この時の形成温度は750[°C]である。

【0076】次に、前記工程を行った直後にNH₃雰囲気中で熱処理を施し、前記酸化珪素膜205に概ね 6×10^{20} [atoms/cm³]の窒素原子を導入する。ここまでの工程を図13(c)に示す。

【0077】次に、前記酸化珪素膜205上を含むp型半導体基板201の主面上の全面にLPCVD法で窒化珪素(Si₃N₄)膜213を形成する。ここまでの工程を図13(d)に示す。

【0078】次に、前記酸化珪素膜205上の全面に、n型不純物(例えば燐)が導入された多結晶珪素膜207を形成する。多結晶珪素膜207は例えば200[nm]程度の膜厚で形成する。ここまでの工程を図14(e)に示す。

【0079】次に、前記多結晶珪素膜207、窒化珪素膜213、酸化珪素膜205、多結晶珪素膜204の夫々にゲート長方向の幅を規定するパターンニングを順次施し、n型不純物が導入された多結晶珪素膜207からなる制御ゲート電極207、窒素が導入された酸化珪素膜205からなる第2ゲート絶縁膜205、n型不純物が導入された多結晶珪素膜204からなる浮遊ゲート電極204を形成する。これらのパターンニングは、フォトリソグラフィ技術とドライエッチング技術を用いて行う。なお、この工程において、図示していないが、制御ゲート電極207に一体化されたワード線も形成される。ここまでの工程を図14(f)に示す。次に、前記p型半導体基板201の主面の活性領域にp型不純物(例えばボロン)をイオン打込み法で選択的に導入し、n型半導体領域からなるパンチスルーストップ領域208を形成する。

【0080】次に、前記p型半導体基板201の主面の活性領域にn型不純物(例えば砒素)をイオン打込み法で選択的に導入し、一対のn型半導体領域の夫々からなるソース領域209及びドレイン領域210を形成する。この工程において、不揮発性記憶素子Qeが形成される。ここまでの工程を図14(g)に示す。

【0081】次に、前記制御ゲート電極207上を含むp型半導体基板201の主面上の全面に層間絶縁膜211を形成し、その後、前記層間絶縁膜211に、ソース領域209及びドレイン領域210に至る接続孔を形成する。

【0082】次に、前記接続孔内を含む層間絶縁膜211上の全面に金属膜を形成し、その後、前記金属膜にパターンニングを施して電極212を形成することにより、図14(h)に示すように、不揮発性記憶素子Qeを1つの記憶単位とするメモリセルがほぼ完成する。

【0083】前記不揮発性記憶素子Qeは、12[nm]のONO膜に窒化珪素膜を堆積した場合に比べて電荷保持特性が向上した。

【0084】なお、本実施形態では酸化珪素膜205中の窒素原子濃度を 6×10^{20} [atoms/cm³]以上としたが、概ね 2×10^{20} [atoms/cm³]以上、好ましくは 2×10^{21} [atoms/cm³]以下であれば電荷保持特性の向上が観測された。

【0085】本実施形態によれば、概ね 2×10^{20} [atoms/cm³]以上、 2×10^{21} [atoms/cm³]以下の窒素原子を含有する酸化珪素膜205を不揮発性記憶素子Qeの第2ゲート絶縁膜205として用い、さらにその上部に窒化珪素膜213を積層することにより、不揮発性記憶素子Qeの電荷保持特性の向上が図れるという効果がある。

【0086】なお、本実施形態では酸化珪素膜205に窒素原子を導入した後、続いて窒化珪素膜213を形成したが、窒化珪素膜213を形成する前に、前述の実施

形態2と同様に、ウェット酸化処理を施し、酸化珪素膜205中の水素原子濃度を 5×10^{20} [atoms/cm³]以下に低減すると、より一層の効果が得られる。

【0087】(実施形態4)本実施形態では、膜中の最大窒素原子濃度が概ね 2×10^{20} [atoms/cm³]以上、好ましくは 2×10^{21} [atoms/cm³]以下である酸化珪素膜を、不揮発性記憶素子の第2ゲート絶縁膜として用いた例について説明する。なお、本実施形態の不揮発性記憶素子は、AND型のコンタクトレスアレイ構造を有するフラッシュメモリに搭載される。

【0088】まず、不揮発性記憶素子を1つの記憶単位とするメモリセルの製造方法について図15及び図16(製造方法を説明するための断面図)を用いて説明する。

【0089】単結晶珪素からなる面方位(100)のp型半導体基板101を用意する。

【0090】次に、熱酸化処理を施し、p型半導体基板101の主面に酸化珪素膜からなる第1ゲート絶縁膜102を形成する。

【0091】次に、前記第1ゲート絶縁膜102上に不純物(例えば燐)が導入された多結晶珪素膜103を形成し、その後、多結晶珪素膜103上に酸化珪素膜104を形成し、その後、酸化珪素膜104上に窒化珪素膜105を形成する。多結晶珪素膜103、酸化珪素膜104、窒化珪素膜105の夫々の形成はLPCVD法で順次行う。

【0092】次に、前記窒化珪素膜105、酸化珪素膜104、多結晶珪素膜103、第1ゲート絶縁膜102の夫々に、ゲート長方向の幅を規定するパターンニングを施す。パターンニングはフォトリソグラフィ技術及びドライエッチング技術を用いて行う。ここまでの工程を図15(a)に示す。

【0093】次に、前記窒化珪素膜105上を含むp型半導体基板101の主面上の全面に窒化珪素膜をLPCVD法で形成し、その後、前記窒化珪素膜に異方性ドライエッチングを施してサイドウォールスペーサ106を形成する。ここまでの工程を図15(b)に示す。

【0094】次に、ウェット酸化処理を施し、p型半導体基板101の主面に酸化珪素膜からなるフィールド絶縁膜107を形成する。フィールド絶縁膜107はゲート長方向に沿って配置される活性領域(素子形成領域)間の分離を行なう。ここまでの工程を図15(c)に示す。

【0095】次に、熱リン酸処理を施し、前記窒化珪素膜105及びサイドウォールスペーサ106を除去した後、前記p型半導体基板101の主面の活性領域にp型不純物(例えばボロン)をイオン打込み法で選択的に導入し、p型半導体領域からなるパンチスルーストップ領域108を形成する。

【0096】次に、前記p型半導体基板101の主面の活性領域にn型不純物(例えば砒素)をイオン打込み法で選択的に導入し、一対のn型半導体領域の夫々からなる

ソース領域109及びドレイン領域110を形成する。ここまでの工程を図15(d)に示す。

【0097】次に、前記酸化珪素膜105上を含むp型半導体基板101の主面上の全面にLPCVD法で酸化珪素膜111を形成し、その後、前記酸化珪素膜111に多結晶珪素膜103の上面が露出するまで異方性エッチングを施す。ここまでの工程を図15(e)に示す。

【0098】次に、前記多結晶珪素膜103上を含むp型半導体基板101の主面上の全面に不純物(例えば燐)が導入された多結晶珪素膜112を形成し、その後、前記多結晶珪素膜112にゲート長方向の幅を規定するパターンニングを施す。ここまでの工程を図16(f)に示す。

【0099】次に、前記多結晶珪素膜112上を含むp型半導体基板101の主面上の全面に酸化珪素膜113を例えば12[nm]の膜厚で形成する。酸化珪素膜113の形成はSiH₄とN₂Oを原料ガスとするLPCVD法で行う。この時の形成温度は750[°C]である。

【0100】次に、前記工程を行った直後にNH₃雰囲気中で熱処理を施し、前記酸化珪素膜113に概ね 6×10^{20} [atoms/cm³]の窒素原子を導入する。ここまでの工程を図16(g)に示す。

【0101】次に、前記酸化珪素膜113上の全面に、n型不純物(例えば燐)が導入された多結晶珪素膜115を形成する。

【0102】次に、前記多結晶珪素膜115、酸化珪素膜113、多結晶珪素膜112、多結晶珪素膜103の夫々にゲート幅方向の幅を規定するパターンニングを順次施し、n型不純物が導入された多結晶珪素膜115からなる制御ゲート電極115、窒素が導入された酸化珪素膜113からなる第2ゲート絶縁膜113、n型不純物が導入された多結晶珪素膜112及び多結晶珪素膜103からなる浮遊ゲート電極を形成する。これらのパターンニングは、フォトリソグラフィ技術とドライエッチング技術を用いて行う。なお、この工程において、図示していないが、制御ゲート電極115に一体化されたワード線も形成される。ここまでの工程を図16(h)に示す。

【0103】次に、前記制御ゲート電極115上及びワード線を含むp型半導体基板101の主面上の全面に層間絶縁膜116を形成し、その後、前記層間絶縁膜116上にデータ線117を形成し、その後、水素雰囲気中で熱処理を施すことにより、不揮発性記憶素子Qeを1つの記憶単位とするメモリセルがほぼ完成する。ここまでの工程を図16(i)に示す。

【0104】前記不揮発性記憶素子Qeは、12[nm]のONO膜を第2ゲート絶縁膜に用いた場合に比べて電荷保持特性が向上した。なお、前述の実施形態1と同様に、良好な電荷保持特性を得るためには、酸化珪素

膜113中の窒素原子濃度を概ね 2×10^{20} [atoms/cm³]以上、好ましくは 2×10^{21} [atoms/cm³]以下とする必要があった。

【0105】また、図17は前述した酸化珪素膜113を第2ゲート絶縁膜に用いた不揮発性記憶素子の、ゲート長と紫外線照射後のしきい値電圧の関係を示したものである。NH₃雰囲気中で熱処理した酸化珪素膜は、従来のONO膜に比べてより短いゲート長、例えば0.3 [μm]以下であっても安定な動作が可能であった。これは、前述した酸化珪素膜114の形成温度が850 [°C]と、ONO膜よりも低い結果、ソース/ドレイン領域の伸びを抑制できたためである。

【0106】本実施形態によれば、概ね 2×10^{20} [atoms/cm³]以上、好ましくは 2×10^{21} [atoms/cm³]以下の窒素原子を含有した酸化珪素膜114を不揮発性記憶素子Qeの第2ゲート絶縁膜に用いることにより、電荷保持特性の向上が図れるという効果がある。

【0107】また、ソース/ドレイン領域の形成後に第2ゲート絶縁膜を形成する不揮発性記憶素子Qeにおいて、不揮発性記憶素子Qeの第2ゲート絶縁膜として、膜中の最大窒素原子濃度が概ね 2×10^{20} [atoms/cm³]以上、好ましくは 2×10^{21} [atoms/cm³]以下である酸化珪素膜を用いることにより、微細な不揮発性記憶素子Qeを安定に動作できるという効果がある。

【0108】なお、本実施形態では酸化珪素膜114に窒素原子を導入した後、続いて多結晶珪素膜115を形成したが、多結晶珪素膜115を形成する前に、前述の実施形態2と同様に、ウェット酸化処理を施し、酸化珪素膜114中の水素原子濃度を 5×10^{20} [atoms/cm³]以下に低減すると、より一層の効果が得られる。

【0109】また、前述の実施形態3で説明したように、酸化珪素膜114の形成後であって、多結晶珪素膜115の形成前に、窒化珪素膜を形成して第2ゲート絶縁膜を積層膜としても同様の効果が得られる。

【0110】なお、実施形態1から3においてはNOR型のフラッシュメモリに搭載される不揮発性記憶素子を例とし、実施形態4においてはAND型のコンタクトレスアレイ構造を有するフラッシュメモリに搭載される不揮発性記憶素子を例として説明したが、NAND型、DiNOR型、スプリットゲート型といった他の不揮発性半導体記憶装置に搭載される不揮発性記憶素子に適用しても同様の効果が得られる。

【0111】(実施形態5)本実施形態では、多結晶珪素膜を能動層とするMOSトランジスタのゲート絶縁膜として、膜中の窒素原子濃度が概ね 2×10^{20} [atoms/cm³]以上、好ましくは 2×10^{21} [atoms/cm³]以下である酸化珪素膜を用いた例について説明する。なお、本実施形態において、ゲート絶縁膜とは能動層とゲート電極との間に設けられた絶縁膜のことを言う。

【0112】まず、MOSトランジスタの製造方法につ

いて、図18及び図19（製造方法を説明するための断面図）を用いて説明する。

【0113】単結晶珪素からなる面方位(100)のn型半導体基板301を用意する。

【0114】次に、熱酸化処理を施し、前記n型半導体基板301の主面に酸化珪素膜302を形成する。ここまでの工程を図18(a)に示す。

【0115】次に、前記酸化珪素膜302上にMOSトランジスタの能動層となる多結晶珪素膜303を形成する。ここまでの工程を図18(b)に示す。

【0116】次に、前記多結晶珪素膜303上に、ゲート絶縁膜として用いる酸化珪素膜304を例えば10 [nm]の膜厚で形成する。酸化珪素膜104の形成は、SiH₄とN₂Oを原料ガスとするLPCVD法で行う。この時の形成温度は750 [°C]である。

【0117】次に、前記工程を行った直後に850 [°C]のNH₃雰囲気中で熱処理を施し、前記酸化珪素膜304に概ね 6×10^{20} [atoms/cm³]の窒素原子を導入する。その後、825 [°C]の温度雰囲気中でウェット酸化処理を施し、前記酸化珪素膜304中の水素原子濃度を 5×10^{20} [atoms/cm³]以下にする。ここまでの工程を図18(c)に示す。

【0118】次に、前記酸化珪素膜304上に、p型不純物(例えばボロン)が導入された多結晶珪素膜307を形成する。ここまでの工程を図19(d)に示す。

【0119】次に、前記多結晶珪素膜307にパターンニングを施し、多結晶珪素膜307からなるゲート電極を形成する。パターンニングは、フォトリソグラフィ技術とドライエッチング技術を用いて行なう。ここまでの工程を図18(e)に示す。

【0120】次に、前記ゲート電極307を不純物導入用マスクとして使用し、前記多結晶珪素膜303にp型不純物(例えばボロン)をイオン打込み法で導入して、ソース領域及びドレイン領域である一対のp型半導体領域308を形成する。この工程において、MOSトランジスタQが形成される。

【0121】次に、前記ゲート電極307上を含むn型半導体基板301の主面上の全面に層間絶縁膜309を形成し、その後、前記層間絶縁膜309に、一対のp型半導体領域308の夫々に至る接続孔を形成する。

【0122】次に、前記接続孔内を含む層間絶縁膜309上の全面に金属膜を形成し、その後、前記金属膜にパターンニングを施して配線310を形成することにより、図18(g)に示す状態となる。

【0123】前記MOSトランジスタQは、ゲート絶縁膜として、CVD法で形成された酸化珪素膜を用いたり、多結晶珪素膜303を熱酸化して形成された酸化珪素膜を用いた場合に比べて、待機時のリーク電流が低減された。合わせて動作時の電流が増加した。この結果、高いオン/オフ比が得られた。

【0124】なお、本実施形態では酸化珪素膜304中の窒素原子濃度を 6×10^{20} [atoms/cm³]としたが、概ね 2×10^{20} [atoms/cm³]以上、好ましくは 2×10^{21} [atoms/cm³]以下であれば同様に高いオン/オフ比が得られた。

【0125】本実施形態によれば、多結晶珪素膜を能動層とするMOSトランジスタQのゲート絶縁膜として、概ね 2×10^{20} [atoms/cm³]以上、 2×10^{21} [atoms/cm³]以下の窒素原子を含有した酸化珪素膜を用いることにより、MOSトランジスタQのオン/オフ比を向上できるという効果がある。

【0126】なお、本実施形態では、pチャネル導電型のMOSトランジスタQについて説明したが、nチャネル導電型のMOSトランジスタにおいても同様の効果が得られる。

【0127】また、本実施形態では、半導体基板上に酸化珪素膜を介在して、多結晶珪素膜を能動層とするMOSトランジスタを形成したが、例えば液晶ディスプレイ駆動用のMOSトランジスタのように、ガラス基板上に形成しても同様の効果が得られる。

【0128】また、本実施形態では、下層の多結晶珪素膜を能動層とし、上層の多結晶珪素膜をゲート電極とするMOSトランジスタについて説明したが、下層の多結晶珪素膜をゲート電極とし、上層の多結晶珪素膜を能動層とするMOSトランジスタにおいても同様の効果が得られる。

【0129】なお、前述の実施形態1から5においては、酸化珪素膜に窒素原子を導入する際、NH₃雰囲気中で熱処理を行っているが、他の窒素を含有するガスを用いてもよい。また、酸化珪素膜の堆積と同時に窒素原子を導入してもよい。また、本発明の効果が得られる範囲であれば他の方法を用いてもよい。

【0130】また、前述の実施形態1から5においては、多結晶珪素膜を用いて説明したが、非晶質の珪素膜においても同様の効果が得られる。

【0131】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0132】例えば、本発明は、下層の多結晶珪素膜又は非晶質珪素膜を下部電極とし、上層の多結晶珪素膜又は非晶質珪素膜を上部電極とし、これらの間の酸化珪素膜を誘電体膜とする容量素子を有する半導体装置に適用してもよい。この場合、容量素子の電荷保持特性の向上が図れる。

【0133】また、本発明は、不揮発性記憶素子を有するメモリセルアレイ部を備えたワンチップ・マイクロコンピュータ(半導体装置)に適用してもよい。

【0134】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0135】半導体装置に搭載される不揮発記憶素子の電荷保持特性を向上できる。

【0136】また、微細化された不揮発性記憶素子であっても安定な動作が可能である。

【0137】また、不揮発性記憶素子のプログラム電圧の低減化が可能である。

【0138】また、半導体装置に搭載されるMOSトランジスタの性能を向上できる。

【0139】また、半導体装置に搭載される容量素子の電荷保持特性を向上できる。

【図面の簡単な説明】

【図1】本発明の実施形態1であるフラッシュメモリ(半導体装置)の要部断面図。

【図2】前記フラッシュメモリの製造方法を説明するための断面図。

【図3】前記フラッシュメモリの製造方法を説明するための断面図。

【図4】酸化珪素膜電界とリーク電流の関係を示す図。

【図5】酸化珪素膜電界とリーク電流の関係を示す図。

【図6】酸化珪素膜中の窒素原子濃度分布を示す図。

【図7】酸化珪素膜中の窒素原子濃度とリーク電流の関係を示す図。

【図8】電荷保持特性を示す図。

【図9】本発明の実施形態2であるフラッシュメモリ(半導体装置)の製造方法を説明するための断面図。

【図10】前記フラッシュメモリの製造方法を説明するための断面図。

【図11】酸化珪素膜中の窒素及び水素原子濃度分布を示す図。

【図12】酸化珪素膜中の窒素及び水素原子濃度分布を示す図。

【図13】本発明の実施形態3であるフラッシュメモリ(半導体装置)の製造方法を説明するための断面図。

【図14】前記フラッシュメモリの製造方法を説明するための断面図。

【図15】本発明の実施形態4であるフラッシュメモリ(半導体装置)の製造方法を説明するための断面図。

【図16】前記フラッシュメモリの製造方法を説明するための断面図。

【図17】ゲート長としきい値電圧の関係を示す図。

【図18】本発明の実施形態5である半導体装置の製造方法を説明するための断面図。

【図19】前記半導体装置の製造方法を説明するための断面図。

【図20】ウェット酸化による水素原子低減前後での書換えに伴うしきい値変動量。

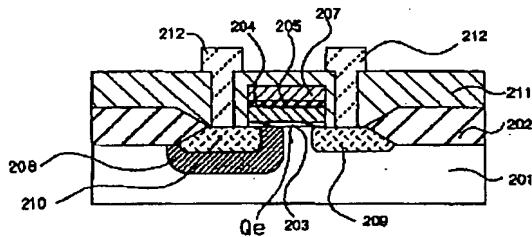
【符号の説明】

101, 201, 301…半導体基板、102…酸化珪素膜、103…多結晶珪素膜、104…酸化珪素膜、105, 106…窒化珪素膜、107, 202…フィールド絶縁膜、108, 208…パンチスルーストップ領域、109, 209…ソース領域、111…酸化珪素膜、110, 210…ドレイン領域、112…多結晶珪素膜、113…窒素が導入された酸化珪素膜、115…

多結晶珪素膜、203…酸化珪素膜、204…多結晶珪素膜、205…窒素が導入された酸化珪素膜、207…多結晶珪素膜、211, 309…層間絶縁膜、212, 310…電極、302…酸化珪素膜、303…多結晶珪素膜、304…窒素が導入された酸化珪素膜、307…多結晶珪素膜、308…一对の半導体領域、Qe…不揮発性記憶素子、Q…MOSトランジスタ。

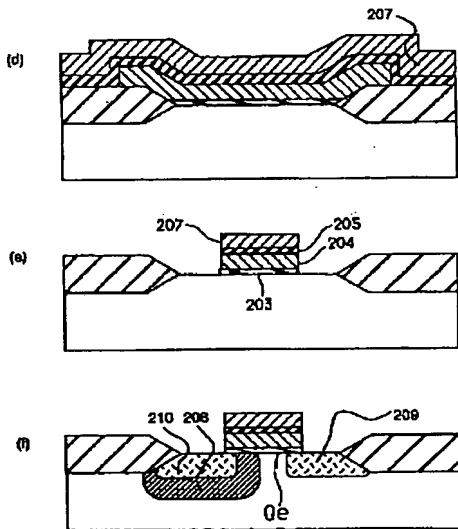
【図1】

図1



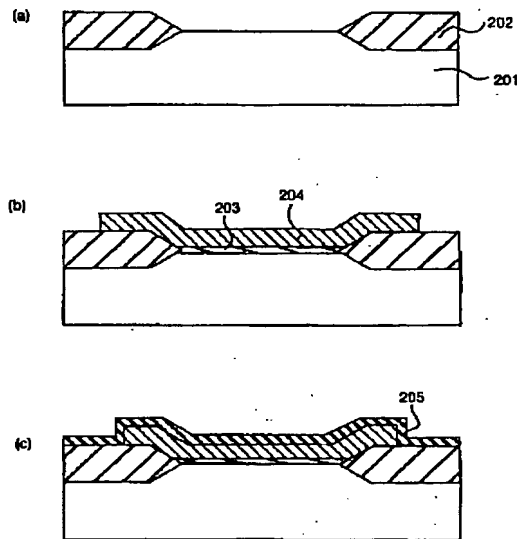
【図3】

図3



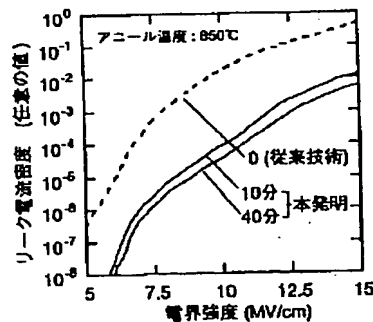
【図2】

図2



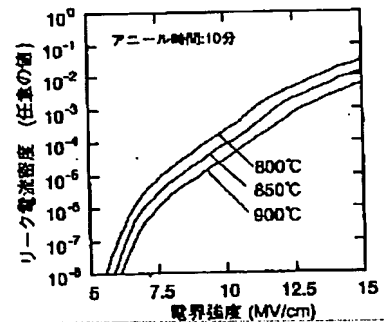
【図4】

図4



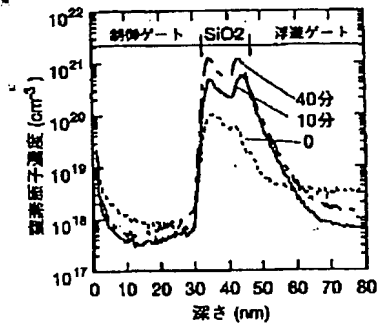
【図5】

図5



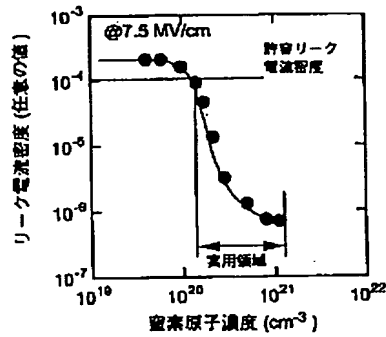
【図6】

図6



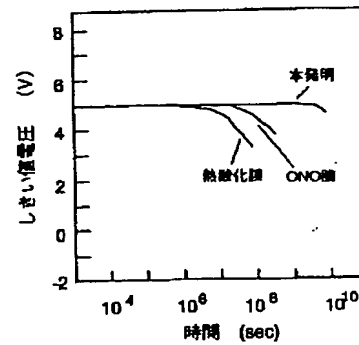
【図7】

図7



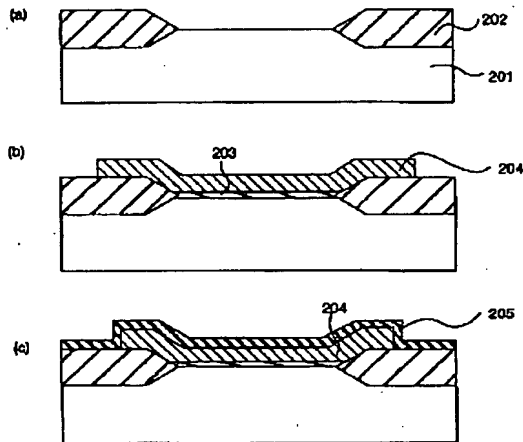
【図8】

図8



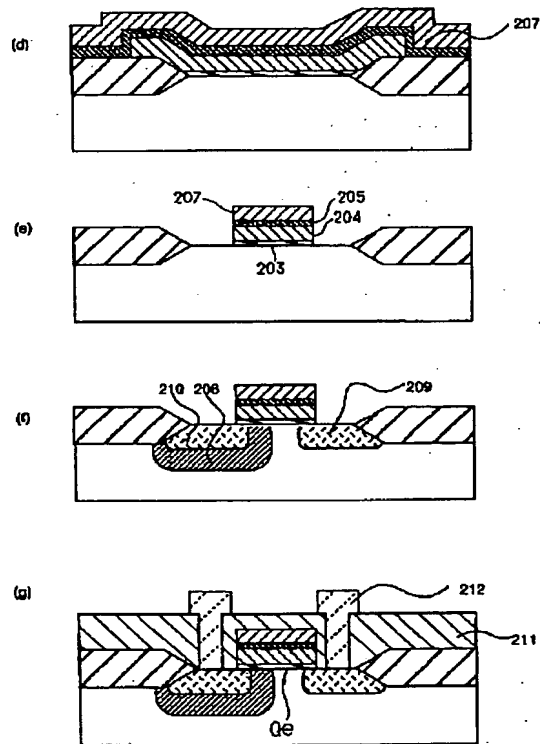
【図9】

図9



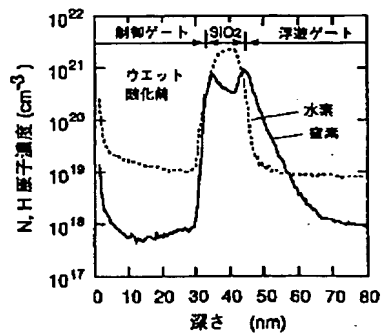
【図10】

図10



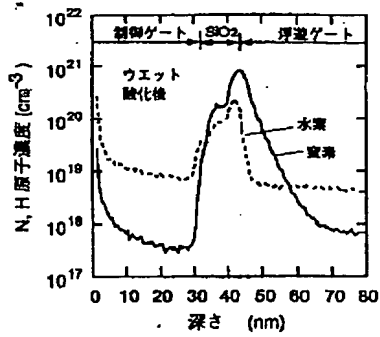
【図11】

図11



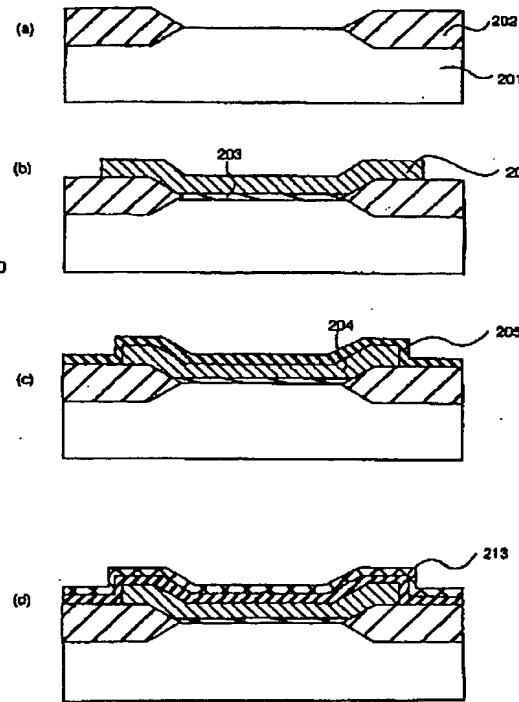
【図12】

図12



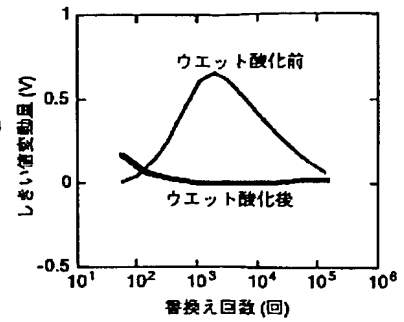
【図13】

図13



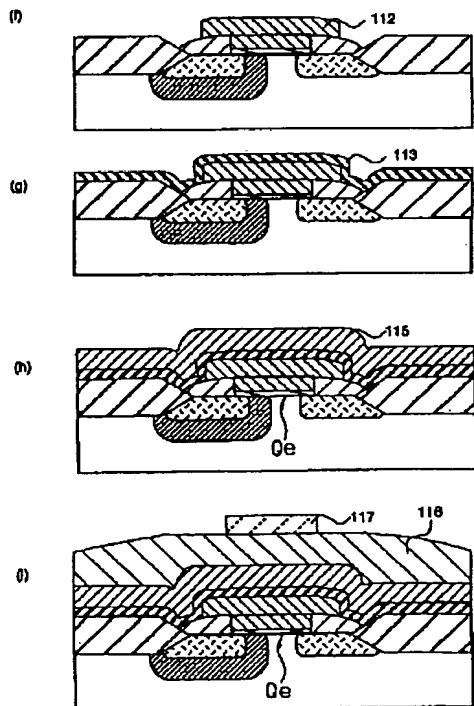
【図20】

図20



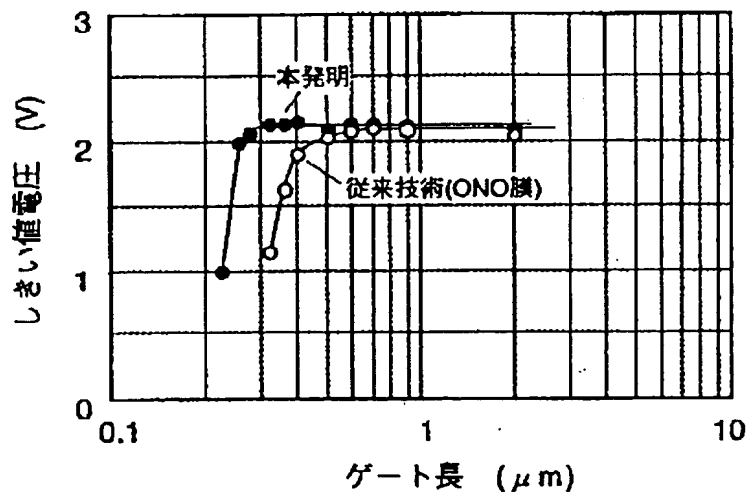
【図16】

図16



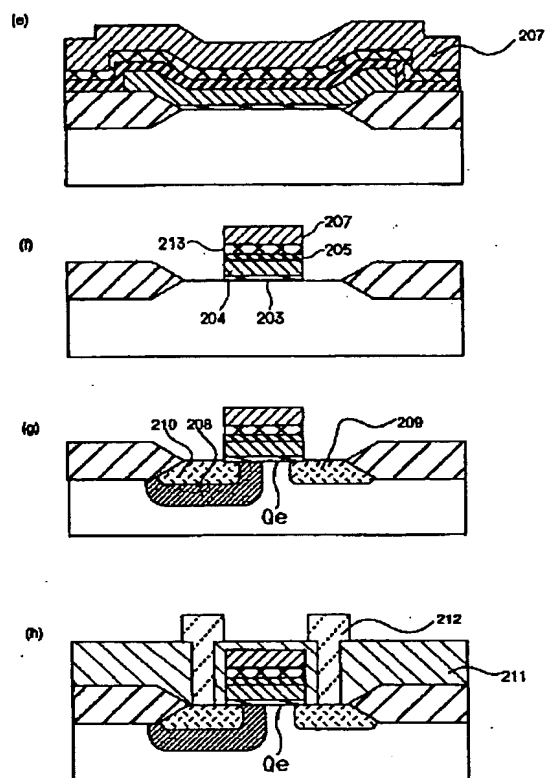
【図17】

図17



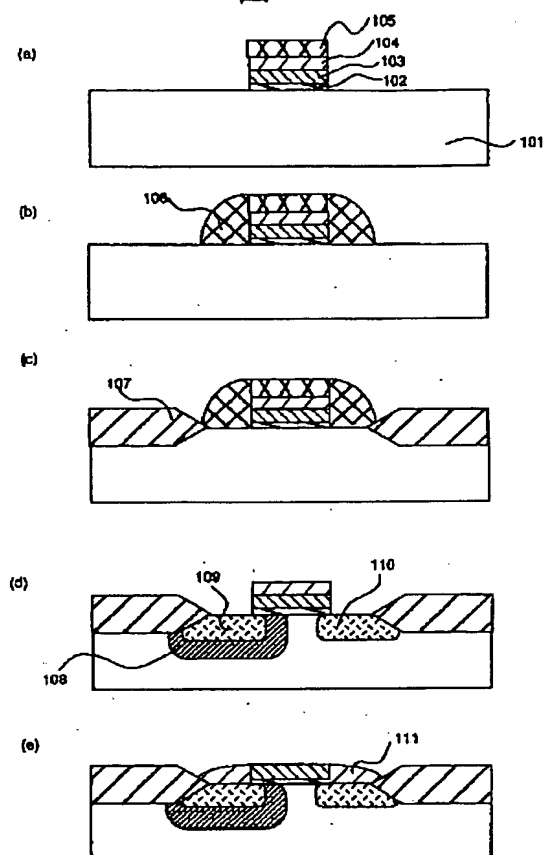
【図14】

図14



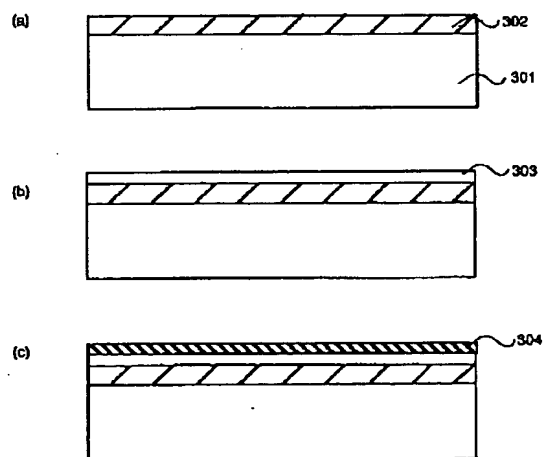
【図15】

図15



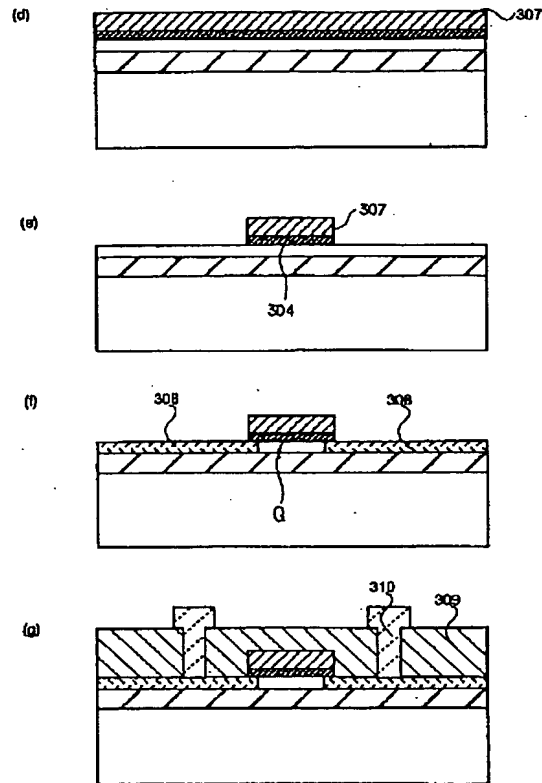
【図18】

図18



【図 19】

図 19



フロントページの続き

(51) Int. Cl.⁶

H01L 27/11
27/115
29/78
29/786

識別記号

F I

H01L 29/78

613B